



(19)

(11) Publication number:

11087503 A

Generated Document

## PATENT ABSTRACTS OF JAPAN

(21) Application number: 09244930

(51) Int'l. Cl.: H01L 21/768 H01L 21/316

(22) Application date: 10.09.97

(30) Priority:  
(43) Date of application publication: 30.03.99  
(84) Designated contracting states:

(71) Applicant: HITACHI LTD

(72) Inventor: OHASHI TADASHI  
FURUSAWA KENJI  
YAMAGUCHI HIDE

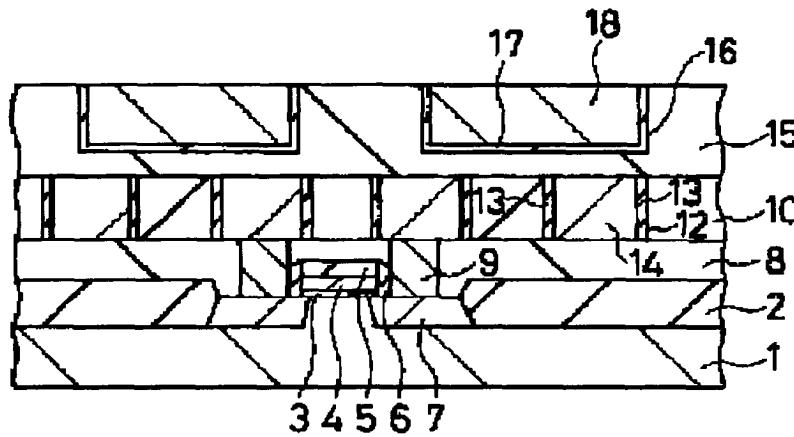
(74) Representative

**(54) SEMICONDUCTOR  
INTEGRATED CIRCUIT  
DEVICE AND  
MANUFACTURE THEREOF**

**(57) Abstract:**

**PROBLEM TO BE SOLVED:** To provide a semiconductor integrated circuit device and manufacture thereof which has an insulation film having a reduced dielectric const., such as layer insulation film, adjacent to a wiring layer.

**SOLUTION:** This manufacturing method comprises forming an Si oxide layer insulation film 10 contg. the Si-C bond at a C content of 5-100% to Si, forming trenches for a wiring layer on selective regions of the insulation film 10, using a resist film as an etching mask, applying an oxygen plasma to make inorg. the insulation film 1 on the surface of the trenches 12, forming an Si oxide film 13 contg. no Si-C bond at regions thereof and forming a wiring layer 14 in a state of being embedded in trenches 12 having the Si oxide film 13 contg. no Si-C bond.



COPYRIGHT: (C)1999.JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-87503

(43)公開日 平成11年(1999)3月30日

(51)Int.Cl.<sup>6</sup>

H 0 1 L 21/768  
21/316

識別記号

F I

H 0 1 L 21/90  
21/316

K  
M

審査請求 未請求 請求項の数8 O.L (全8頁)

(21)出願番号 特願平9-244930

(22)出願日 平成9年(1997)9月10日

(71)出願人 000005108

株式会社日立製作所  
東京都千代田区神田駿河台四丁目6番地

(72)発明者 大橋 直史

東京都青梅市今井2326番地 株式会社日立  
製作所デバイス開発センタ内

(72)発明者 古澤 健志

東京都国分寺市東恋ヶ窪一丁目280番地  
株式会社日立製作所中央研究所内

(72)発明者 山口 日出

東京都青梅市今井2326番地 株式会社日立  
製作所デバイス開発センタ内

(74)代理人 弁理士 筒井 大和

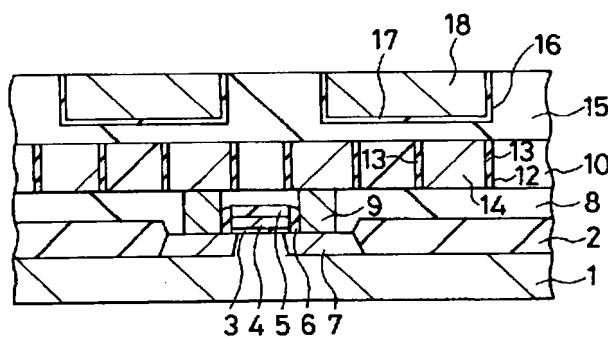
(54)【発明の名称】 半導体集積回路装置およびその製造方法

(57)【要約】

【課題】 配線層に隣接している層間絶縁膜などの絶縁膜の誘電率が低減化できている半導体集積回路装置およびその製造方法を提供する。

【解決手段】 半導体基板(基板)1の上に、炭素含有率がケイ素に対して5%~100%となっているSi-C結合を含む酸化シリコン膜からなる層間絶縁膜(絶縁膜)10を形成する工程と、レジスト膜をエッチング用マスクとして用いて、絶縁膜10の選択的な領域に、配線層用の溝12を形成する工程と、酸素プラズマによって、溝12の表面の絶縁膜10を無機化して、その領域に、Si-C結合を含まない酸化シリコン膜13を形成する工程と、Si-C結合を含まない酸化シリコン膜13を有する溝12に埋め込まれている状態の配線層14を形成する工程とを有するものである。

図9



1: 半導体基板(基板)  
10: 層間絶縁膜(絶縁膜)  
13: 酸化シリコン膜  
14: 配線層  
12: 溝

## 【特許請求の範囲】

【請求項1】 炭素含有率がケイ素に対して5%～100%となっているSi-C結合を含む酸化シリコン膜からなる絶縁膜を有し、前記絶縁膜の選択的な領域に、Si-C結合を含まない酸化シリコン膜が形成されており、前記Si-C結合を含まない酸化シリコン膜に接触されている配線層が形成されていることを特徴とする半導体集積回路装置。

【請求項2】 請求項1記載の半導体集積回路装置であって、前記絶縁膜の選択的な領域に溝が形成されており、前記溝の表面に前記Si-C結合を含まない酸化シリコン膜が形成されており、前記Si-C結合を含まない酸化シリコン膜を表層部としている前記溝に前記配線層が埋め込まれた状態で形成されていることを特徴とする半導体集積回路装置。

【請求項3】 請求項1または2記載の半導体集積回路装置であって、前記絶縁膜は、前記Si-C結合を含む有機SOG膜またはCVD法により形成されているSi-C結合を含む酸化シリコン膜であることを特徴とする半導体集積回路装置。

【請求項4】 基板の上に、炭素含有率がケイ素に対して5%～100%となっているSi-C結合を含む酸化シリコン膜からなる絶縁膜を形成する工程と、レジスト膜をエッチング用マスクとして用いて、前記絶縁膜の選択的な領域に、配線層用の溝を形成する工程と、酸素プラズマによって、前記溝の表面の前記絶縁膜を無機化して、その領域に、Si-C結合を含まない酸化シリコン膜を形成する工程と、前記Si-C結合を含まない酸化シリコン膜を有する前記溝に埋め込まれている状態の配線層を形成する工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項5】 請求項4記載の半導体集積回路装置の製造方法であって、前記絶縁膜は、オルガノシロキサンなどの有機材料を用いた回転塗布法を使用して、前記基板の上に、有機SOG膜を塗布して堆積していることを特徴とする半導体集積回路装置の製造方法。

【請求項6】 請求項4記載の半導体集積回路装置の製造方法であって、前記絶縁膜は、TEOSと過酸化水素とを用いたCVD法を使用して、前記基板の上に、酸化シリコン膜を堆積していることを特徴とする半導体集積回路装置の製造方法。

【請求項7】 請求項4～6のいずれか1項に記載の半導体集積回路装置の製造方法であって、前記Si-C結合を含まない酸化シリコン膜を形成する工程は、前記絶縁膜を、10mTorr以下の圧力で放電した酸素プラズマにさらすことにより、前記溝の領域の前記絶縁膜を無機化し、その領域に無機状態の酸化シリコン膜を形成する製造工程を適用していることを特徴とする半導体集積回

## 路装置の製造方法。

【請求項8】 請求項7記載の半導体集積回路装置の製造方法であって、前記Si-C結合を含まない酸化シリコン膜は、0.01μm以下の膜厚をもって形成することを特徴とする半導体集積回路装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置およびその製造方法に関し、特に、配線層に隣接している層間絶縁膜などの絶縁膜の誘電率が低減化できている半導体集積回路装置およびその製造方法に関するものである。

## 【0002】

【従来の技術】ところで、本発明者は、半導体集積回路装置の層間絶縁膜の製造方法について検討した。以下は、本発明者によって検討された技術であり、その概要は次のとおりである。

【0003】すなわち、半導体基板の上に、層間絶縁膜を形成する際に、プラズマCVD(Chemical Vapor Deposition)法を用いて第1の酸化シリコン膜を形成し、次に、回転塗布法を用いてSOG(Spin On Glass)膜を形成して平坦化を行った後、SOG膜の上にプラズマCVD法を用いて第2の酸化シリコン膜を形成している。その後、層間絶縁膜にスルーホールを形成した後、その層間絶縁膜の上に配線層を堆積し、フォトリソグラフィ技術と選択エッチング技術を用いてパターン化された配線層を形成している。

【0004】前述した層間絶縁膜としてのプラズマCVD法を用いて形成した第1および第2の酸化シリコン膜は、P-TEOS(プラズマーテトラエトキシシラン)膜が使用されている。また、前述した層間絶縁膜としてのSOG膜は、有機SOG膜が使用されている。

【0005】なお、半導体集積回路装置における層間絶縁膜の形成技術について記載されている文献としては、例えば平成元年1月2日、(株)プレスジャーナル発行の「90最新半導体プロセス技術」p291～p295に記載されているものがある。

## 【0006】

【発明が解決しようとする課題】ところが、前述した半導体集積回路装置の層間絶縁膜において、誘電率の小さい有機SOG膜(誘電率が2.9である)を使用しているが、その有機SOG膜の下部膜および上部膜としてのP-TEOS膜(誘電率が4.2である)の誘電率が大きいことにより、有機SOG膜の下部膜および上部膜としてのP-TEOS膜に起因した配線層のプリンジ領域の誘電率が大きくなっている。

【0007】したがって、層間絶縁膜の誘電率を3.9程度までしか低下することができないことにより、層間絶縁膜の容量が大きい状態となってしまうので、その層間絶縁膜に隣接している配線層間に配線信号の変更が発

生するという問題点がある。

【0008】本発明の目的は、配線層に隣接している層間絶縁膜などの絶縁膜の誘電率が低減化できている半導体集積回路装置およびその製造方法を提供することにある。

【0009】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

#### 【0010】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0011】すなわち、本発明の半導体集積回路装置は、炭素含有率がケイ素に対して5%～100%となっているSi-C結合を含む酸化シリコン膜からなる絶縁膜（誘電率が小さい絶縁膜）を有し、その絶縁膜の選択的な領域に、Si-C結合を含まない酸化シリコン膜

（配線層との密着性が大きい酸化シリコン膜）が形成されており、Si-C結合を含まない酸化シリコン膜に接触されている配線層が形成されているものである。

【0012】また、本発明の半導体集積回路装置の製造方法は、例えば半導体基板などの基板の上に、炭素含有率がケイ素に対して5%～100%となっているSi-C結合を含む酸化シリコン膜からなる絶縁膜を形成する工程と、レジスト膜をエッチング用マスクとして用いて、絶縁膜の選択的な領域に、配線層用の溝を形成する工程と、酸素プラズマによって、溝の表面の絶縁膜を無機化して、その領域に、Si-C結合を含まない酸化シリコン膜を形成する工程と、Si-C結合を含まない酸化シリコン膜を有する溝に埋め込まれている状態の配線層を形成する工程とを有するものである。

#### 【0013】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、重複説明は省略する。

【0014】図1～図9は、本発明の一実施の形態である半導体集積回路装置の製造工程を示す概略断面図である。本実施の形態の半導体集積回路装置の製造方法の特徴は、配線層に隣接している層間絶縁膜などの絶縁膜の誘電率（絶縁膜の容量）を低減化する製造方法であり、それ以外の半導体集積回路装置の製造方法は、種々の態様を適用することができる。同図を用いて、本実施の形態の半導体集積回路装置およびその製造方法を具体的に説明する。

【0015】まず、図1に示すように、例えば単結晶シリコンからなるp型の半導体基板（基板）1を用意し、先行技術などの種々の技術を使用して、MOSFETを形成する。

【0016】すなわち、例えば単結晶シリコンからなる

p型の半導体基板1の表面の選択的な領域を熱酸化してLOCOS（Local Oxidation of Silicon）構造の酸化シリコン膜からなる素子分離用のフィールド絶縁膜2を形成する。

【0017】次に、半導体基板1の表面に例えば酸化シリコン膜などからなるゲート絶縁膜3を形成した後、導電性の多結晶シリコン膜からなるゲート電極4を堆積する。その後、ゲート電極4の上に酸化シリコン膜などからなる絶縁膜5を形成した後、フォトリソグラフィ技術と選択エッチング技術とを使用して、ゲート電極4などのパターンを形成した後、ゲート電極4の側壁に、酸化シリコン膜などからなるサイドウォールスペーサ6を形成する。

【0018】その後、半導体基板1に例えばリンなどのn型の不純物をイオン注入し、拡散してMOSFETのソースおよびドレインとなるn型の半導体領域7を形成する。次に、半導体基板1の上に絶縁膜8を形成する。絶縁膜8は、例えば酸化シリコン膜をCVD（Chemical Vapor Deposition）法により形成した後、表面研磨を行いその表面を平坦化処理することにより、平坦化された絶縁膜8を形成する。平坦化処理は、絶縁膜8の表面を例えばエッチバック法またはCMP（Chemical Mechanical Polishing、化学機械研磨）法などにより平坦にする態様を採用することができる。その後、フォトリソグラフィ技術および選択エッチング技術を用いて、絶縁膜8の選択的な領域にスルーホール（接続孔）を形成した後、スルーホールに例えば導電性多結晶シリコンまたはタンクステンなどの導電性材料を埋め込んで、スルーホールにプラグ（plug）9を形成する。

【0019】次に、半導体基板1の上に、1層目の層間絶縁膜（絶縁膜）10を形成する（図2）。この場合、1層目の層間絶縁膜10は、後述する溝12内に形成される配線層およびこの層間絶縁膜10が介在している配線層の容量を低減するために、誘電率が小さい絶縁膜を適用しており、炭素（C）含有量がケイ素（Si）に対して5%（Si : C = 1 : 0.05）～100%（Si : C = 1 : 1）となっているSi-C結合を含む酸化シリコン膜であり、次に述べる製造方法により形成されている有機SOG（Spin On Glass）膜（誘電率が2.9である絶縁膜）またはCVD法で形成した酸化シリコン膜（誘電率が2.9である絶縁膜）を使用している。

【0020】すなわち、1層目の層間絶縁膜（絶縁膜）10を形成する際に、オルガノシロキサンなどの有機材料を用いた回転塗布法を使用して、半導体基板1の上に、有機SOG膜を塗布して、例えば0.5μmの膜厚をもって堆積する。その後、有機SOG膜をベーク処理する。この場合、回転塗布法を使用していることにより、表面平坦性を容易に行うことができる。

【0021】また、1層目の層間絶縁膜（絶縁膜）10を形成する際の他の態様として、TEOS（テトラエト

## 5

キシシラン、Si ( $\text{OC}_2\text{H}_5$ )<sub>4</sub>) と過酸化水素 ( $\text{H}_2\text{O}_2$ ) を用いたCVD法を使用して、半導体基板1の上に、酸化シリコン膜を例えば0.5  $\mu\text{m}$  の膜厚をもって堆積する。この場合、CVD法を使用することにより、スループットを向上することができる。

【0022】その後、半導体基板1の上に、レジスト膜11を塗布した後、そのレジスト膜11をリソグラフィ技術を使用してパターン化する。次に、レジスト膜11をエッチング用マスクとして用いて、ドライエッチングなどの選択エッチング技術を使用して、層間絶縁膜10に配線層用の溝12を形成する(図3)。

【0023】この場合、溝12は、配線層を配置する部分に形成する配線層用の溝であり、配線層を形成するための配線層パターンを有する溝である。また、図3に示す溝12は、その一部の溝12の底部がプラグ9の表面を露出させるために、層間絶縁膜10の膜厚の値(例えば0.5  $\mu\text{m}$ )と同一の深さ(例えば0.5  $\mu\text{m}$ )としている。他の様として、溝12の底部がプラグ9の表面を露出させる必要がない様の場合には、層間絶縁膜10の膜厚の値を大きく(例えば0.8~1  $\mu\text{m}$ )して、その層間絶縁膜10の膜厚の値(例えば0.8  $\mu\text{m}$ )よりも小さい値の深さ(例えば0.5  $\mu\text{m}$ )の溝12とすることができます。

【0024】次に、例えばRIE(Reactive Ion Etching)装置を使用して、層間絶縁膜10を、10mtorr(ミリトル)以下の圧力で放電した酸素プラズマ(反応性ガスプラズマ)にさらすことにより、溝12の領域の層間絶縁膜(Si-C結合を含む酸化シリコン膜)10を無機化し、その領域に無機状態の酸化シリコン膜(Si-C結合を含まない酸化シリコン膜)13を0.01  $\mu\text{m}$ 以下の膜厚をもって形成する(図4)。

【0025】この場合、酸化シリコン膜13は、本実施の形態の特徴の一部であり、溝12に形成する配線層との密着性を高めるための膜として適用されており、本発明者の検討の結果、0.01  $\mu\text{m}$ 以下の膜厚をもって形成することが有効であることが明らかになった。すなわち、酸化シリコン膜13は、Si-C結合を含まない酸化シリコン膜13であることにより、層間絶縁膜(Si-C結合を含む酸化シリコン膜)10よりも溝12に形成する配線層との密着性を高めることができる。また、Si-C結合を含まない酸化シリコン膜13は、層間絶縁膜(Si-C結合を含む酸化シリコン膜)10よりも誘電率が大きいので、溝12に形成する配線層との密着性を高めるための膜として機能する膜厚とし、できるだけ薄膜化することにより、溝12に形成する配線層の近傍の絶縁膜の誘電率を低減化することができる。

【0026】次に、不要となったレジスト膜11を取り除いた後、半導体基板1の上に、スパッタリング法を使用して、アルミニウム層または銅層などからなる配線層14を例えば1  $\mu\text{m}$ の膜厚をもって堆積して、溝12に

## 6

配線層14を埋め込む作業を行う(図5)。この場合、アルミニウム層などからなる配線層14を溝12に完全に埋め込むために、配線層14を堆積する際に、溝12の深さ(例えば0.5  $\mu\text{m}$ )よりも大きい膜厚(例えば1  $\mu\text{m}$ )としている。

【0027】次に、CMP装置を用いたCMP法を使用して、配線層14の表面から配線層14を表面研磨して、溝12に埋め込まれている配線層14以外の配線層14を取り除く作業を行う(図6)。この場合、溝12に埋め込まれている配線層14の表面は、層間絶縁膜10の表面と同一面とすることができる。

【0028】本実施の形態の配線層14は、配線層14と密着性が大きい酸化シリコン膜13を表層部としている溝12に埋め込まれていると共にその溝12は誘電率の低い層間絶縁膜10に形成されているものであることにより、各々の配線層14間の誘電率が小さいので、層間絶縁膜10の誘電率に影響された各々の配線層14間の信号の変動が防止できるので、高性能で高信頼度の配線層14とすることができる。

【0029】次に、半導体基板1の上に、2層目の層間絶縁膜(絶縁膜)15を前述した1層目の層間絶縁膜10の製造方法を適用して形成する(図7)。この場合、2層目の層間絶縁膜15の膜厚は、0.8  $\mu\text{m}$ としている。

【0030】その後、層間絶縁膜15に配線層用の溝16を形成した後、溝16の表面の層間絶縁膜15を無機化して、その領域に酸化シリコン膜17を形成する(図8)。この場合、前述した1層目の層間絶縁膜10に配線層用の溝12を形成する製造工程と、溝12の表面の層間絶縁膜10を無機化して、その領域に酸化シリコン膜13を形成する製造工程を適用して行っている。

【0031】また、溝16の底部がプラグの表面を露出させる必要がない様のものであることにより、層間絶縁膜15の膜厚の値を大きく(例えば0.8~1  $\mu\text{m}$ )して、その層間絶縁膜15の膜厚の値(例えば0.8  $\mu\text{m}$ )よりも小さい値の深さ(例えば0.5  $\mu\text{m}$ )の溝16としている。

【0032】次に、前述した配線層14の製造方法と同一の製造方法を適用して、半導体基板1の上に、アルミニウム層または銅層などからなる配線層18を例えば1  $\mu\text{m}$ の膜厚をもって堆積して、溝16に配線層18を埋め込んだ後、CMP装置を用いたCMP法を使用して、配線層18の表面から配線層18を表面研磨して、溝16に埋め込まれている配線層18以外の配線層18を取り除く作業を行う(図9)。

【0033】本実施の形態の配線層18は、配線層18と密着性が大きい酸化シリコン膜16を表層部としている溝16に埋め込まれていると共にその溝16は誘電率の低い層間絶縁膜15に形成されているものであることにより、各々の配線層18間の誘電率が小さいので、層

間絶縁膜15の誘電率に影響された各々の配線層18間の信号の変動が防止できるので、高性能で高信頼度の配線層18とすることができます。

【0034】その後、前述した製造工程を繰り返し使用して多層配線層を必要に応じて形成した後、パシベーション膜(図示を省略)を形成して、本実施の形態の半導体集積回路装置の製造工程を終了する。

【0035】前述した本実施の形態の半導体集積回路装置およびその製造方法によれば、層間絶縁膜(絶縁膜)10として、炭素(C)含有量がケイ素(Si)に対して5%(Si:C=1:0.05)~100%(Si:C=1:1)となっているSi-C結合を含む酸化シリコン膜を適用していることにより、層間絶縁膜10の誘電率を小さく(2.9)することができる。

【0036】また、その誘電率が小さい層間絶縁膜10として、有機SOG膜またはCVD法で形成した酸化シリコン膜を使用していることにより、層間絶縁膜10の製造工程を簡単化できると共に高性能でしかも高信頼度の絶縁膜とすることができる。

【0037】本実施の形態の半導体集積回路装置およびその製造方法によれば、層間絶縁膜10の選択的な領域に配線層用の溝12を形成した後、例えばRIE装置を使用して、層間絶縁膜10を、10morr以下の圧力で放電した酸素プラズマにさらすことにより、溝12の領域の層間絶縁膜(Si-C結合を含む酸化シリコン膜)10を無機化し、その領域に無機状態の酸化シリコン膜(Si-C結合を含まない酸化シリコン膜)13を0.01μm以下の膜厚をもって形成している。

【0038】したがって、溝12に形成される配線層14との密着性を高めることができる。また、本発明者の検討の結果、0.01μm以下の膜厚をもって形成することが有効であることが明らかになった。すなわち、酸化シリコン膜13は、Si-C結合を含まない酸化シリコン膜13であることにより、層間絶縁膜(Si-C結合を含む酸化シリコン膜)10よりも溝12に形成する配線層14との密着性を高めることができる。また、Si-C結合を含まない酸化シリコン膜13は、層間絶縁膜(Si-C結合を含む酸化シリコン膜)10よりも誘電率が大きいので、溝12に形成する配線層との密着性を高めるための膜として機能する膜厚とし、できるだけ薄膜化することにより、溝12に形成する配線層10の近傍の絶縁膜の誘電率を低減化することができる。

【0039】本実施の形態の半導体集積回路装置およびその製造方法によれば、前述した誘電率の小さい層間絶縁膜10を適用しており、層間絶縁膜10に形成されている溝12の表面に配線層14との密着性がよい薄膜の酸化シリコン膜13を形成しており、その溝12に埋め込まれている状態の配線層14の構造としている。

【0040】したがって、配線層14と密着性が大きい酸化シリコン膜13を表層部としている溝12に配線層

14が埋め込まれていると共にその溝12は誘電率の低い層間絶縁膜10に形成されているものであることにより、各々の配線層14間の誘電率が小さい(配線層間の絶縁膜の容量が小さい)ので、層間絶縁膜10の誘電率に影響された各々の配線層14間の信号の変動が防止できるので、高性能で高信頼度の配線層14とすることができます。また、配線層14の配線容量が低下することにより、配線遅延が低減できるので、半導体集積回路装置などのデバイス全体の信号速度を向上することができる。

【0041】本実施の形態の半導体集積回路装置およびその製造方法によれば、層間絶縁膜(絶縁膜)10に形成されている溝12に配線層14を埋め込んでいる様態の配線層としていることにより、フォトリソグラフィ技術と選択エッチング技術とを使用して配線層のパターンを形成する従来の配線層のパターンの製造工程を使用せずに、配線層14を形成していることによって、配線層幅および隣接配線層間の距離が極めて小さい配線層構造であろうとも微細加工により高精度な寸法精度をもって配線層14を製造することができる。

【0042】したがって、LSIなどの半導体集積回路装置の微細化を行うことができる。

【0043】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0044】例えば、本発明は、半導体素子を形成している半導体基板をSOI(Siliconon Insulator)基板に変更することができ、MOSFET、CMOSFETおよびバイポーラトランジスタなどの種々の半導体素子を組み合わせた様態の半導体集積回路装置およびその製造方法とすることができる。

【0045】さらに、本発明は、MOSFET、CMOSFETなどを構成要素とするロジック系あるいはDRAM(Dynamic Random Access Memory)、SRAM(StaticRandom Access Memory)などのメモリ系などを有する種々の半導体集積回路装置およびその製造方法に適用できる。

【0046】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0047】(1). 本発明の半導体集積回路装置およびその製造方法によれば、層間絶縁膜(絶縁膜)として、炭素(C)含有量がケイ素(Si)に対して5%(Si:C=1:0.05)~100%(Si:C=1:1)となっているSi-C結合を含む酸化シリコン膜を適用していることにより、層間絶縁膜の誘電率を小さく(2.9)することができる。

【0048】また、その誘電率が小さい層間絶縁膜として、有機SOG膜またはCVD法で形成した酸化シリコン膜を使用していることにより、層間絶縁膜の製造工程を簡単化できると共に高性能でしかも高信頼度の絶縁膜とすることができる。

【0049】(2) 本発明の半導体集積回路装置およびその製造方法によれば、層間絶縁膜(絶縁膜)の選択的な領域に配線層用の溝を形成した後、例えばRIE装置を使用して、層間絶縁膜を、10mtoorr以下圧力で放電した酸素プラズマにさらすことにより、溝の領域の層間絶縁膜(Si-C結合を含む酸化シリコン膜)を無機化し、その領域に無機状態の酸化シリコン膜(Si-C結合を含まない酸化シリコン膜)を0.01μm以下の膜厚をもって形成している。

【0050】したがって、溝に形成される配線層との密着性を高めることができる。また、本発明者の検討の結果、0.01μm以下の膜厚をもって形成することが有効であることが明らかになった。すなわち、酸化シリコン膜は、Si-C結合を含まない酸化シリコン膜であることにより、層間絶縁膜(Si-C結合を含む酸化シリコン膜)よりも溝に形成する配線層との密着性を高めることができる。また、Si-C結合を含まない酸化シリコン膜は、層間絶縁膜(Si-C結合を含む酸化シリコン膜)よりも誘電率が大きいので、溝に形成する配線層との密着性を高めるための膜として機能する膜厚とし、できるだけ薄膜化することにより、溝に形成する配線層の近傍の絶縁膜の誘電率を低減化することができる。

【0051】(3) 本発明の半導体集積回路装置およびその製造方法によれば、誘電率の小さい層間絶縁膜(絶縁膜)を適用しており、層間絶縁膜に形成されている溝の表面に配線層との密着性がよい薄膜の酸化シリコン膜を形成しており、その溝に埋め込まれている状態の配線層の構造としている。

【0052】したがって、配線層と密着性が大きい酸化シリコン膜を表層部としている溝に配線層が埋め込まれていると共にその溝は誘電率の低い層間絶縁膜に形成されているものであることにより、各々の配線層間の誘電率が小さい(配線層間の絶縁膜の容量が小さい)ので、層間絶縁膜の誘電率に影響された各々の配線層間の信号の変動が防止できるので、高性能で高信頼度の配線層とすることができます。また、配線層の配線容量が低下することにより、配線遅延が低減できるので、半導体集積回路装置などのデバイス全体の信号速度を向上することができる。

【0053】(4) 本発明の半導体集積回路装置およびその製造方法によれば、層間絶縁膜(絶縁膜)に形成されている溝に配線層を埋め込んでいる様の配線層と

していることにより、フォトリソグラフィ技術と選択エッチング技術とを使用して配線層のパターンを形成する従来の配線層のパターンの製造工程を使用せずに、配線層を形成していることによって、配線層幅および隣接配線層間の距離が極めて小さい配線層構造であろうとも微細加工により高精度な寸法精度をもって配線層を製造することができる。したがって、LSIなどの半導体集積回路装置の微細化を行うことができる。

#### 【図面の簡単な説明】

10 【図1】本発明の一実施の形態である半導体集積回路装置の製造工程を示す概略断面図である。

【図2】本発明の一実施の形態である半導体集積回路装置の製造工程を示す概略断面図である。

【図3】本発明の一実施の形態である半導体集積回路装置の製造工程を示す概略断面図である。

【図4】本発明の一実施の形態である半導体集積回路装置の製造工程を示す概略断面図である。

【図5】本発明の一実施の形態である半導体集積回路装置の製造工程を示す概略断面図である。

20 【図6】本発明の一実施の形態である半導体集積回路装置の製造工程を示す概略断面図である。

【図7】本発明の一実施の形態である半導体集積回路装置の製造工程を示す概略断面図である。

【図8】本発明の一実施の形態である半導体集積回路装置の製造工程を示す概略断面図である。

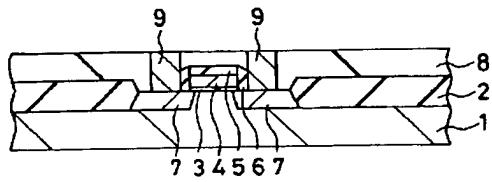
【図9】本発明の一実施の形態である半導体集積回路装置の製造工程を示す概略断面図である。

#### 【符号の説明】

- 1 半導体基板(基板)
- 2 フィールド絶縁膜
- 3 ゲート絶縁膜
- 4 ゲート電極
- 5 絶縁膜
- 6 サイドウォールスペーサ
- 7 半導体領域
- 8 絶縁膜
- 9 プラグ
- 10 層間絶縁膜(絶縁膜)
- 11 レジスト膜
- 40 12 溝
- 13 酸化シリコン膜
- 14 配線層
- 15 層間絶縁膜(絶縁膜)
- 16 溝
- 17 酸化シリコン膜
- 18 配線層

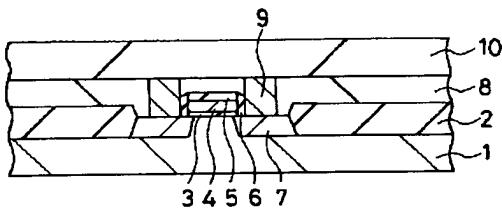
【図1】

図1



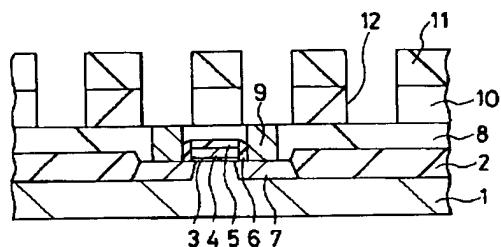
【図2】

図2



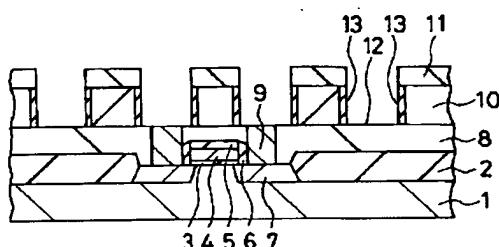
【図3】

図3



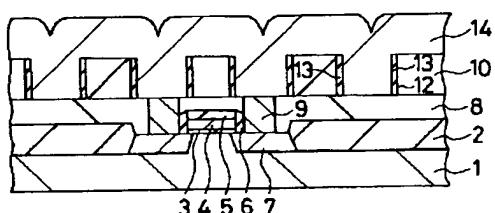
【図4】

図4



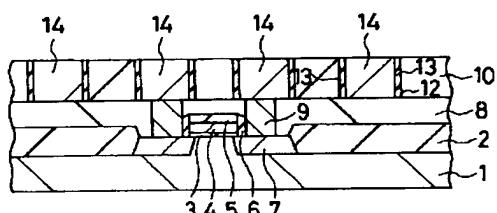
【図5】

図5



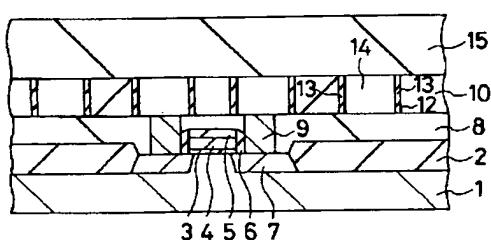
【図6】

図6



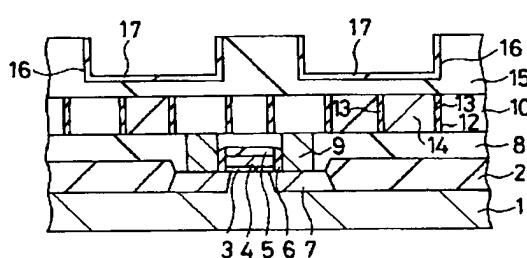
【図7】

図7



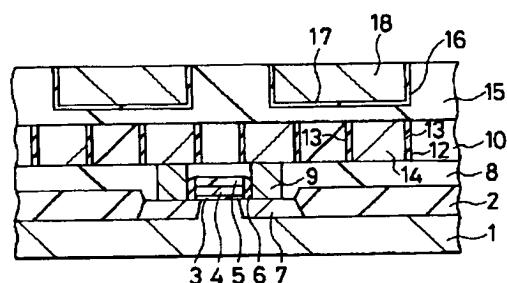
【図8】

図8



【図9】

図9



1: 半導体基板(基板) 13: 酸化シリコン膜  
10: 廊間絶縁膜(絶縁膜) 14: 配線槽  
12: 滑